

*На правах рукописи*

**Першин Андрей Сергеевич**

**СИНТЕЗ ОТКРЫТОЙ МАСШТАБИРУЕМОЙ АРХИТЕКТУРЫ  
МНОГОПРОЦЕССОРНОЙ СИСТЕМЫ  
ЦИФРОВОЙ ОБРАБОТКИ СИГНАЛОВ**

Специальность – 05.13.15 – Вычислительные машины и системы

**А в т о р е ф е р а т**  
диссертации на соискание ученой степени  
кандидата технических наук

**Рязань 2007**

Работа выполнена в Рязанском государственном радиотехническом университете на кафедре «Системы автоматизированного проектирования вычислительных средств»

Научный руководитель: доктор технических наук,  
профессор  
**Скворцов Сергей Владимирович**

Официальные оппоненты: доктор технических наук,  
профессор  
**Ручкин Владимир Николаевич**  
  
кандидат технических наук, доцент  
**Богданов Владимир Сергеевич**

Ведущая организация **ОАО «НИИ Приборостроения  
им. В. В. Тихомирова»**

Защита диссертации состоится **31мая 2007 года в 11 час.** на заседании диссертационного совета Д212.211.01 в Рязанском государственном радиотехническом университете по адресу:  
**390005, г. Рязань, ул. Гагарина, д. 59/1.**

С диссертацией можно ознакомиться в библиотеке Рязанского государственного радиотехнического университета.

Автореферат разослан «\_\_\_»\_\_\_\_\_2007 года.

Ученый секретарь  
диссертационного совета Д212.211.01,  
к.т.н., доцент

**Пржегорлинский В.Н.**

## ОБЩАЯ ХАРАКТЕРИСТИКА РАБОТЫ

**Актуальность темы.** Системы цифровой обработки сигналов (СЦОС) являются составной частью изделий в авиации, медицине, экспериментальной физике, военной технике (ВТ) и т.д.

В изделиях военной техники наибольшее распространение СЦОС получили в радиоэлектронных, акустических и оптоэлектронных комплексах.

К середине 1990-х г.г. СЦОС стали ограничивающим фактором на пути повышения ТТХ изделий ВТ. Возникла насущная необходимость разрешения следующих противоречий:

- в экономической сфере - между потребностями вооруженных сил страны в новом поколении систем цифровой обработки сигналов изделий ВТ и ограниченными возможностями финансирования развития и эксплуатации изделий ВТ;
- в технической сфере – между требуемым уровнем технических характеристик нового поколения СЦОС изделий ВТ и уровнем предшествующего поколения систем.

СЦОС предшествующего поколения обладали пиковой производительностью порядка десятков Мопс и реализовывали узкий круг алгоритмов. Вычисления выполнялись с фиксированной точкой, что создавало проблемы для обеспечения необходимого динамического диапазона обрабатываемых сигналов. Функциональная специализация СЦОС изделий ВТ обуславливала необходимость заново осуществлять аппаратно-программную разработку системы для каждого нового изделия. Разработка таких СЦОС - дорогостоящий, сложный и трудоемкий процесс с типовой продолжительностью порядка 7 – 10 лет.

Объективной предпосылкой для разрешения возникших противоречий стало появление элементной базы с требуемым уровнем технических характеристик – процессора 1B577. Обоснование выбора зарубежного аналога-прототипа для этого процессора и решение основных вопросов его воспроизводства (данные вопросы выходят за рамки диссертации) были осуществлены автором данной работы.

Таким образом, возникла **необходимость синтеза архитектуры многопроцессорной СЦОС как базиса построения унифицированного ряда специализированных вычислительных машин для использования в различных областях техники, в том числе, в перспективных изделиях ВТ. Архитектура должна была обеспечить построение СЦОС с требуемыми техническими характеристиками при минимальной стоимости и сроках разработки изделий.** Работы по решению этой задачи в середине 1990-х годов в нашей стране были пионерскими.

**Цель диссертационной работы.** Целью данной диссертационной работы является синтез архитектуры многопроцессорной системы цифровой обработки сигналов и ее составных частей, оптимизированной под задачи изделий ВТ в привязке к отечественному ЦСП 1B577.

**Основные задачи исследований.** Для достижения поставленных целей потребовалось:

- выполнить анализ архитектур существующих и перспективных специализированных вычислительных систем (ВС);
- выполнить анализ характерных особенностей типовых алгоритмов цифровой обработки сигналов;
- осуществить синтез архитектуры многопроцессорной СЦОС, инвариантной к типу программируемого цифрового сигнального процессора;

- осуществить синтез архитектуры базовых модулей;
- произвести разработку методик обеспечения эффективного использования регистровой памяти процессоров системы для оптимизации программ обработки;
- осуществить анализ особенностей архитектуры ЦСП 1В577;
- осуществить конкретизацию архитектуры в привязке к ЦСП 1В577.

**Методы исследований.** При решении задач диссертационной работы анализ материалов базировался на следующих положениях:

- синтез трактовался как метод научного исследования объекта, состоящий в его восприятии и построении как единого целого, в единстве и взаимной связи его частей как между собой, так и с окружением;
- термин «архитектура» трактовался в широком смысле. Согласно определению, сформулированному в стандарте ANSI/IEEE 1471, архитектура - фундаментальный способ организации системы, продиктованный ее компонентами, их взаимным отношением, а также принципами, в соответствии с которыми осуществляется ее проектирование и развитие;
- синтез архитектуры рассматривался как поиск и установление оптимального способа организации системы и оптимального построения ее составных частей с исследованием, анализом и решением комплекса вопросов, определяющих облик системы, принципы ее построения и функционирования как единого целого при условии достижения требуемых пользователю характеристик и свойств.

При разработке методик обеспечения эффективного использования регистровой памяти процессоров для оптимизации программ обработки были использованы сетевые модели и аппарат теории графов.

**Научная новизна работы.** К основным научным результатам диссертационной работы относятся:

- синтезированная архитектура многопроцессорной системы цифровой обработки сигналов;
- архитектура базовых модулей;
- методики обеспечения эффективного использования регистровой памяти процессоров для оптимизации программ обработки.

**Практическая ценность работы** заключается:

1) в разработке на основе синтезированной автором открытой масштабируемой архитектуры (ОМА) рядов СЦВМ типа «Багет-25», «Багет-55» и «Прибор 16», обеспечивающих реализацию систем цифровой обработки сигналов в современных самолетных радиолокационных комплексах, в системах и комплексах ПВО, в гидроакустических системах и комплексах надводных кораблей и подводных лодок;

2) в сведении к минимуму финансовых и временных затрат на разработку исполнений СЦВМ для новых изделий ВТ за счет возможности их проектирования путем простого набора необходимого числа базовых модулей и использования библиотек функционального ПО;

3) в преимуществах базовых принципов архитектуры в СЦОС нового поколения СЦВМ типа «Соло-хх», разрабатываемых в настоящее время для перспективных изделий ВТ.

**Внедрение результатов диссертационной работы.** Основные результаты диссертационной работы применены в современных изделиях ВТ, разработанных или разрабатываемых в ряде организаций РФ, в том числе – в ОАО «НИИ Приборостроения им. В. В Тихомирова» (ОАО «НИИП»), г. Жуковский; ФГУП «Нижегородский

научно-исследовательский институт радиотехники» (ФГУП «ННИИРТ»), г. Нижний Новгород; ФГУП «ЦНИИ «Морфизприбор», г. Санкт-Петербург. Внедрение результатов подтверждено соответствующими документами.

Автор диссертации разработал идеологию построения открытой масштабируемой архитектуры СЦОС и ее программного обеспечения, вел разработку и осуществлял комплексное решение вопросов по созданию базовых модулей и унифицированных рядов СЦВМ на их основе, разработку исполнений СЦВМ для конкретных изделий ВТ, разработку и воспроизводство кристаллов ЦСП 1В577.

**Апробация работы.** Основные результаты работы докладывались при проведении конференций по цифровой обработке сигналов, в том числе на XVIII научно-технической конференции в НИИП (г. Жуковский, 2006 г.), а также на заседаниях НТС Научно-исследовательского института системных исследований РАН, ЦНИИ «Морфизприбор», НИИП, Государственного Рязанского приборного завода и приемочных Комиссий МО РФ при рассмотрении результатов соответствующих НИР и ОКР по созданию унифицированных средств ЦВТ для МО РФ, выполнявшихся в том числе в рамках Межведомственной целевой программы «Интеграция-СВТ».

**Публикации.** По материалам диссертационных исследований опубликовано четырнадцать печатных работ и разработано более тридцати научно-технических отчетов и пояснительных записок по НИР и ОКР.

**Структура и объем работы.** Диссертация состоит из введения, четырех глав, заключения, списка литературы и четырех приложений. Она изложена на 100 страницах основного машинописного текста, 29 страниц занимают приложения, содержит 30 рисунков, 3 таблицы, включает библиографию из 66 наименований. Общий объем диссертации составляет 129 страниц.

## **СОДЕРЖАНИЕ РАБОТЫ**

**Во введении** обосновывается актуальность темы, сформулированы цели и задачи работы, основные положения, на которых базируется выполнение работы, изложены основные результаты, дано краткое содержание глав диссертации.

**В первой главе** диссертации выполнен анализ архитектур существующих и перспективных зарубежных специализированных вычислительных систем и основных тенденций их развития, а также анализ архитектур модулей цифровой обработки сигналов ряда ведущих зарубежных фирм. Исходные материалы в привязке к началу выполнения работ по синтезу архитектуры многопроцессорной СЦОС – середине 1990-х г.г. - приведены в Приложениях А и Б диссертации.

Основной вывод по результатам анализа: синтез архитектуры многопроцессорной СЦОС для достижения открытости и масштабируемости и оптимальных технико-экономических характеристик систем должен базироваться на следующих положениях:

- на применении программируемого ЦСП, поддерживающего крупномасштабное распараллеливание вычислений и модульное построение прикладного ПО;
- на модульном построении аппаратной части при минимизации типов применяемых модулей;
- на исключении применения в архитектуре узко специализированных уникальных вычислительных модулей, уникальных, сложных и трудоемких методов разработки их программного обеспечения, уникальных технологий производства.

**Во второй главе:**

В первом подразделе сформулированы:

- основные проблемные вопросы, которые необходимо было решить в ходе синтеза;
- основные задачи, решаемые при синтезе архитектуры, и результаты их анализа.

Показано что: **архитектура многопроцессорной СЦОС должна быть открытой, масштабируемой, базирующейся на модульном принципе построения аппаратной части с минимальной номенклатурой базовых функциональных модулей при поддержке модульного принципа построения прикладного программного обеспечения.**

Во втором подразделе приведены результаты анализа типовых алгоритмов цифровой обработки сигналов. В качестве примеров рассмотрен ряд задач обработки из области радиолокации и гидроакустики.

Основные результаты анализа заключаются в следующем.

- 1) Для систем обработки сигналов локационных изделий характерны многорежимность и многозадачность.
- 2) Типовые алгоритмы допускают крупномасштабное распараллеливание вычислений (по локационным каналам, по данным, по задачам).
- 3) Широко используются базовые алгоритмы (умножения массивов, прямого и обратного преобразования Фурье, свертки и т.д.).
- 4) Для алгоритмов характерно наличие небольших, часто повторяемых вычислительных процедур. Это делает актуальной минимизацию времени выполнения программ, за счет эффективного использования внутренней регистровой памяти ЦСП.
- 5) Характерен потоковый вид поступления первичной информации. Максимальная скорость поступления данных для информационного канала РЛС находится на уровне 0,5 – 1 Гбит/с.
- 6) Обработка информации должна вестись в реальном масштабе времени.
- 7) Типовая разрядность данных, поступающих в СЦОС – 12..14 разрядов. Типовая форма представления обрабатываемых данных – комплексные числа. Для снижения шумов обработки и обеспечения требуемого динамического диапазона обработки ЦСП СЦОС должны поддерживать вычисления с плавающей точкой.
- 8) Требуемый уровень производительности СЦОС 1..10 ГФлопс.

В третьем подразделе рассмотрены следующие характерные особенности архитектуры СЦОС:

- масштабность используемого в СЦОС метода распараллеливания процедуры цифровой обработки сигналов;
- уровень взаимосвязи между ЦСП системы при обработке («сильная» связь – «слабая» связь);
- топология внутренних связей.

В четвертом подразделе представлены результаты синтеза архитектуры СЦОС, Пример реализации на базе этой архитектуры СЦОС, состав и конфигурация которой условны, приведен на рисунке 1.

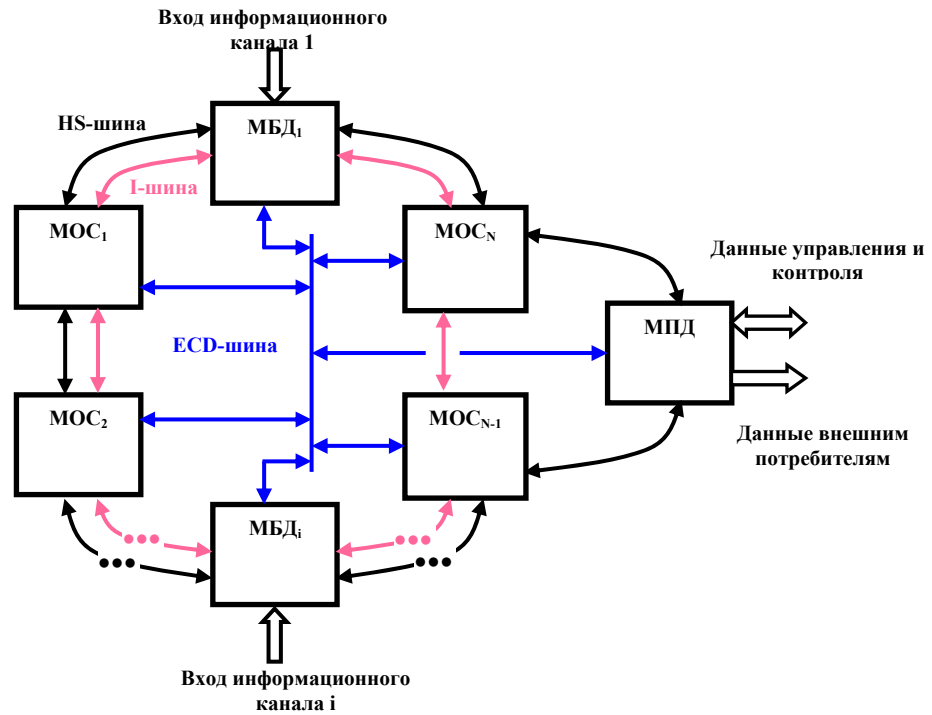


Рис. 1 Пример реализации СЦОС на базе синтезированной архитектуры

Синтез архитектуры СЦОС, оптимизированной под задачи изделий ВТ, привел к следующим результатам:

1) Архитектура является открытой масштабируемой и ориентирована на применение ЦСП, поддерживающего крупномасштабный метод распараллеливания процедуры цифровой обработки сигналов, при инвариантности к его типу.

2) Архитектура основана на использовании всего трех типов базовых модулей:

- модуля процессора данных (МПД);
- модуля обработки сигналов (МОС);
- модуля буфера данных (МБД).

Назначение модуля процессора данных: контроль и управление вычислительным процессором в системе, а также сопряжение системы с внешними устройствами.

Назначение многопроцессорного модуля обработки сигналов: реализация требуемых алгоритмов обработки в составе системы.

Назначение модуля буфера данных: прием/передача и программируемое распределение потоков обрабатываемых данных по модулям обработки сигналов.

МОС и МБД являются универсальными функциональными модулями системы: ввод данного типа модулей в систему может быть осуществлен в любом необходимом пользователю сочетании, при этом установка УФМ в топологии межмодульных связей конструктивно может быть осуществлена на любое посадочное место.

3) Масштабируемость синтезированной архитектуры обеспечивается двумя кольцевыми двунаправленными информационными шинами, обеспечивающими связь типа «точка-точка» между модулями системы:

информационной шиной (I – шиной или иначе - Information Bus или I – bus), которой соединены все МОС и МБД системы и основное назначение которой – передача и распределение потоков обрабатываемых данных между МОС;

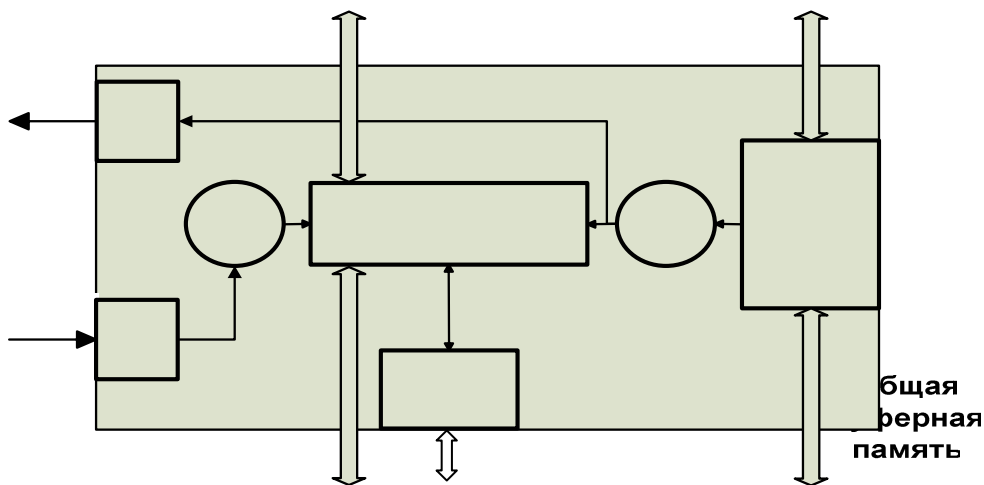
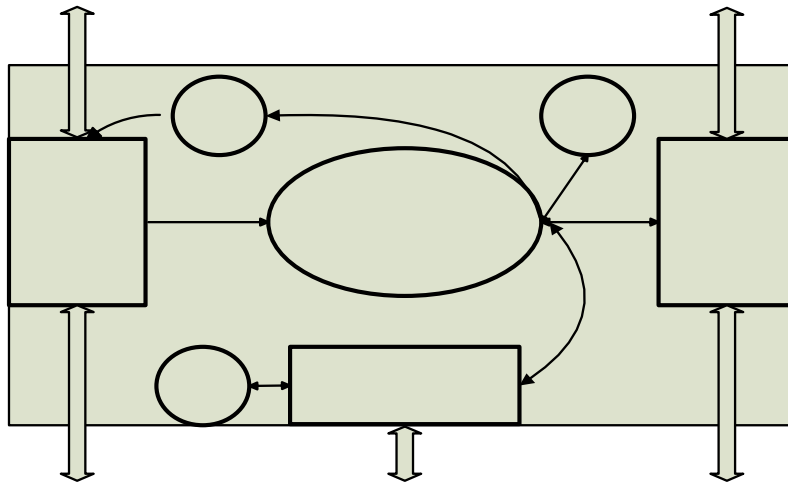
высокоскоростной шиной (HS - шиной или иначе - High Speed Bus или HS – bus), которой соединены все модули системы. Основное назначение HS – шины -

обеспечение обмена данными между модулями системы в процессе вычислений, а также передача конфигурационных, загрузочных и контрольных данных между МПД и МОС.

4) Общая шина служебных и управляющих данных - шина ECD (Event/Control Data - События/Управляющие данные) предназначена для «крупноблочной» синхронизации вычислительных процессов посредством механизма глобальных событий, конфигурации системы и отладки программного обеспечения. Механизм глобальных событий обеспечивает поддержку конвейерных алгоритмов обработки.

5) Многошинная структура ввода и распределения первичных и вторичных данных, а также данных контроля, управления, отладки и синхронизации вычислительного процесса, обеспечивает необходимый и достаточный уровень предсказуемости временной диаграммы функционирования системы в реальном масштабе времени.

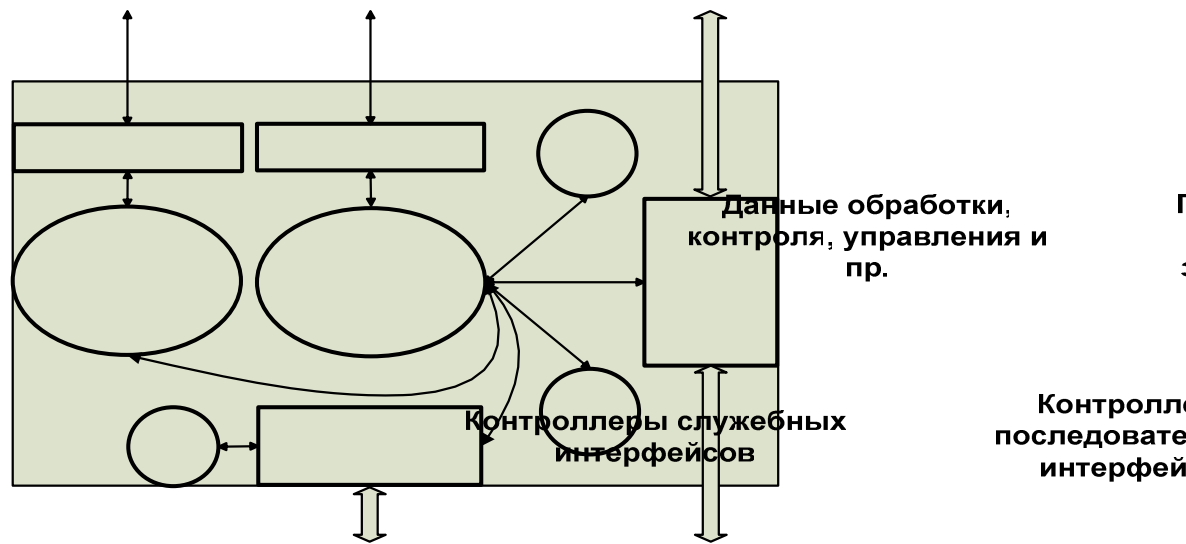
Структура базовых модулей синтезированной открытой масштабируемой архитектуры СЦОС изделий ВТ приведена: модуля обработки сигналов – на рис. 2, модуля буфера данных – на рис. 3, модуля процессора данных – на рис. 4.



Контроллер  
I-шины

Процессор  
модуля с  
буферной и  
память





Открытый характер синтезированной архитектуры обуславливается соблюдением разработанных правил построения и функционирования устройств:

- I-контроллера, HS-контроллера, ECD-контроллера;
- программируемого коммутатора потоков данных (ПКП) с двумя портами интерфейса I-шины, HS – контроллера и ECD-контроллера в МБД;
- HS-контроллера и ECD-контроллера в МПД.

**В третьей главе** изложены результаты анализа, исследований и разработки методов оптимизации укладки графов программ для эффективного использования сверхбыстрой и регистровой памяти процессоров системы при обработке данных.

Приведена модель определения эффективной загрузки сверхбыстрой памяти ЦСП (под сверхбыстрой памятью понимается система «регистровая память – накристалльная память ЦСП»). Для решения эффективной загрузки предлагается использовать эквивалентную сетевую задачу по критерию стоимости. Решение этой задачи предполагает определение минимально необходимого количества регистров, обеспечивающих реализацию вычислительного алгоритма без обращения к накристалльной памяти процессора, и оптимизацию распределения множества результирующих величин выполнения операторов по регистрам, если количество регистров меньше минимально необходимого.

Решение задачи основывается на следующих положениях и условиях.

1) Промежуточные результаты, полученные при выполнении операторов, хранятся в регистрах общего назначения (РОН) процессора без прерывания до тех пор, пока они не будут использованы последний раз в процессе реализации вычислительного алгоритма.

2) Исходные данные вычислительного алгоритма задаются в виде ориентированного ациклического графа  $G=(X,U)$ ,  $|X|=n$ ,  $|U|=m$ , каждой вершине  $x_i \in X$  которого ставится во взаимно однозначное соответствие некоторый вычислительный оператор  $A_i$  реализуемого алгоритма, а каждой дуге  $(x_i, x_j) \in U$  соответствует факт наличия информационной связи между операторами  $A_i$  и  $A_j$ . При этом оператор  $A_j$  является зависимым от результата выполнения оператора  $A_i$  и использует для своего выполнения результирующие величины выполнения оператора  $A_i$ .

Каждая дуга  $(x_i, x_j) \in U$  графа  $G=(X,U)$  взвешивается величиной  $p_{ij}$ , характеризующей количество величин оператора  $A_i$ , требующихся для выполнения оператора  $A_j$ . При этом формируется вектор - столбец весов вершин

$$P(G) = (p_1, p_2, \dots, p_n)^T,$$

где  $p_i = \max_j \{p_{ij}\}$ , т.е. вершине  $x_i$  приписывается вес  $p_i$ , равный максимальному весу  $p_{ij}$ , исходящим из вершины  $x_i$  дуг  $\{(x_i, x_j)\}$ .

Как следствие, исходные данные описываются матрицей смежности

$$S = (s_{ij})_{n \times n},$$

где

$$s_{ij} = \begin{cases} 1, & \text{если } (x_i, x_j) \in U, \\ 0, & \text{если } (x_i, x_j) \notin U. \end{cases}$$

и вектором - столбцом весов вершин

$$P(G) = (p_1, p_2, \dots, p_n)^T.$$

Рассмотрена ситуация, когда для всех  $x_i \in X$  веса  $p_i$  одинаковы и равны 1. В этом случае эффективная загрузка решается следующим образом.

а) Для определения минимально необходимого числа  $b_0$  регистров, обеспечивающих реализацию алгоритма без обращения к накрystalьной памяти процессора, граф  $G = (X, U)$ , преобразуется в граф  $\tilde{G} = (\tilde{X}, \tilde{U})$ . Для этого из матрицы  $S$  образуется

новая матрица  $\tilde{S} = (\tilde{s}_{ij})$ , единичные элементы которой  $\tilde{s}_{ij} = 1$  в  $i$ -ой строке указывают операторы  $A_j$ , результирующие величины  $y(A_j)$  которых можно отсылать на хранение в тот же самый регистр, в котором хранилась результирующая величина  $y(A_i)$ . Кроме

того, каждая вершина  $x_i \in \tilde{X}$  графа  $\tilde{G}$  взвешивается числом  $d_i = \sum_{j>i} s_{ij}$ , которое опре-

деляет активность оператора и показывает, какое число раз используется результирующая величина  $y(A_i)$  при реализации алгоритма. Для сокращения размерности зада-

чи из матрицы  $\tilde{S}$  вычеркиваются все строки и столбцы, соответствующие операторам с нулевой активностью, после чего получается матрица  $S^* = (s_{ij}^*)$  размерности  $t \times t$  ( $t \leq n$ ) и соответствующий ей граф  $G^* = (X^*, U^*)$ . В результате задача определения минимально необходимого числа  $b_0$  регистров, обеспечивающих реализацию алгоритма без обращения к накрystalьной памяти процессора сводится к определению наименьшего числа непересекающихся по вершинам путей, покрывающих все вершины  $x_i^*$  графа  $G^*$ .

б) Если число имеющихся в ЦСП регистров  $b < b_0$ , задача распределения их оптимальной загрузки формулируется следующим образом: в графе  $G^*$  необходимо найти  $b$  не пересекающихся по вершинам путей  $\mu_1, \dots, \mu_b$  таких, что величина

$\lambda_b = \sum_{k=1}^b \lambda(p_k)$  достигает максимального значения. Данная задача сводится к сетевой задаче по критерию стоимости. В качестве функции стоимости используются значения активности операторов  $d_i$ . Решение сетевой задачи заключается в отыскании потока

величины  $b$  с максимальной стоимостью.

В общем случае, когда веса  $p_i$  не одинаковы, сетевая модель модифицируется следующим образом.

Поскольку в результате выполнения оператора  $A_i$  получается  $p_i$  результирующих величин, то для их хранения требуется  $p_i$  регистров. В исходной сетевой задаче следует провести следующую модификацию: заменить элементы матрицы смежности  $S = (s_{ij})$  новыми элементами

$$s_{ij} = \begin{cases} p_i, & \text{если } (x_i, x_j) \in U, \\ 0, & \text{если } (x_i, x_j) \notin U. \end{cases}$$

Поскольку в процессе реализации программы операторы  $A_i$  выполняются последовательно друг за другом, и предполагая, что оператор  $A_q$  является последним потребителем результатов выполнения оператора  $A_j$  ( $i < q$ ), после выполнения оператора  $A_q$  все  $p_i$  регистров, в которых хранились промежуточные результаты выполнения оператора  $A_i$ , могут быть использованы для хранения промежуточных результатов выполнения оператора  $A_q$  и последующих операторов. В этом случае каждый путь  $\mu_k$ , полученный в результате решения сетевой задачи, будет помечен величиной  $p_k = \max_{x_i \in \mu_k} \{p_i\}$ , а минимально необходимое число  $b_0$  регистров, требующихся для хранения  $N_m$  промежуточных результатов выполнения программ, можно определить как

$$b_0 = \sum_{k=1}^m p_k.$$

Разработанная модель и методика могут быть использованы для повышения фактической производительности цифрового сигнального процессора при ЦОС.

В работе рассмотрена задача эффективной загрузки регистровой памяти ЦСП при выполнении программы группой взаимодействующих процессоров и возможный алгоритм ее решения.

Предполагается, что рассматриваемая ВС, включает информационно связанные множество процессоров  $E = \{e_i\}$ ,  $i = 1, 2, \dots, l$ , работающих параллельно, управляющий процессор и общую память (ОП). Для каждого процессора  $e_i \in E$  известно число  $R_i$  регистров, используемых для хранения промежуточных результатов.

Решение задачи основывается на следующих положениях и условиях.

1) Реализуемый алгоритм обработки задается в виде графа  $G = (X, U)$  аналогично задаче определения эффективной загрузки сверхбыстрой памяти ЦСП. Дополнительно каждой вершине  $x_i \in X$  соответствует время выполнения  $\delta_i$  оператора  $A_i$ . Как следствие, исходные данные описываются матрицей смежности

$$S = (s_{ij})_{n \times n},$$

где

$$s_{ij} = \begin{cases} 1, & \text{если } (x_i, x_j) \in U, \\ 0, & \text{если } (x_i, x_j) \notin U. \end{cases}$$

вектором  $\Delta = (\delta_1, \delta_2, \dots, \delta_n)$ , характеризующим длительности выполнения операторов, а также вектором  $P = (p_1, p_2, \dots, p_n)$ , когда вершине  $x_i$  приписывается вес  $p_i$ , определяемый наибольшим числом величин, передаваемых от оператора  $A_i$  к одному из следующих операторов  $A_j$ .

Исходя из этого, для хранения результата  $r(A_i)$  любого оператора  $A_i$  необходимо не более  $p_i$  регистров, причем  $R_i^* \leq R_i$  для всех  $i = 1, 2, \dots, l$ , где  $R_i^*$  - число регистров, занимаемых в процессоре  $e_i \in E$ . Хранение операнда в любом регистре осуществляется без прерывания до тех пор, пока он не будет использован требуемое алгоритмом число раз.

2) Решение задачи заключается в оценке минимального числа регистров, занимаемых для хранения промежуточных результатов параллельных вычислений в каждом процессоре с последующим их распределением под конкретные результаты  $r(A_i)$  операторов  $A_i$  алгоритма, заданного графом  $G = (X, U)$ .

3) Для решения поставленной задачи предлагается использовать ориентированный граф  $G^* = (X, U^*)$ , получаемый на основе графа  $G = (X, U)$  и определяющий поряд-

док загрузки промежуточных результатов вычислений в регистры процессоров (вычислительных модулей) системы. Граф  $G^* = (X, U^*)$  может быть получен путем преобразования матрицы смежности  $S = (s_{ij})_{n \times n}$  исходного графа  $G$  в матрицу  $S^* = (s_{ij}^*)_{n \times n}$ , единичные элементы которой указывают операторы  $A_j$ , результирующие величины  $r(A_j)$  которых можно отсылать для хранения в те же самые регистры, где хранились результаты  $r(A_i)$ . При этом решение задачи сводится к отысканию наименьшего числа попарно непересекающихся по вершинам путей, покрывающих все вершины  $x_i \in X$  графа  $G^*$ . Для решения задачи предлагается использовать приближенный метод, основанный на последовательном поиске и исключении из графа  $G^*$  путей максимальной длины (критических путей). При этом минимизация количества путей  $b^*$  достигается за счет максимизации их длины. Данная модель и методика создают предпосылки для дальнейших исследований и разработки методики оптимизации взаимодействия группы вычислительных модулей, совместно использующих общую память при ЦОС.

**В четвертой главе:** проведена конкретизация принципов функционирования универсальной ОМА СЦОС изделий ВТ и архитектуры ее базовых модулей в привязке к ЦСП 1В577

В первом подразделе приведен анализ особенностей архитектуры ЦСП 1В577.

Во втором подразделе при конкретизации структурной схемы МОС (рис. 5) использованы следующие положения:

1) архитектура СЦОС базируется на использовании конструктива «Евромеханика» при типоразмере платы модуля 6U;

2) процессорное ядро МОС реализуется на базе четырех вычислительных элементов (ВЭ А...ВЭ D), в каждом из которых задействованы цифровой процессор 1В577 (ЦСПх), локальная буферная FIFOх и оперативная память SRAMх. Данная конфигурация модуля имеет условное обозначение МОС-4;

3) архитектура МОС характеризуется возможностью организации как «слабой», так и «сильной» связи между процессорами модуля (ЦСПА...ЦСПД);

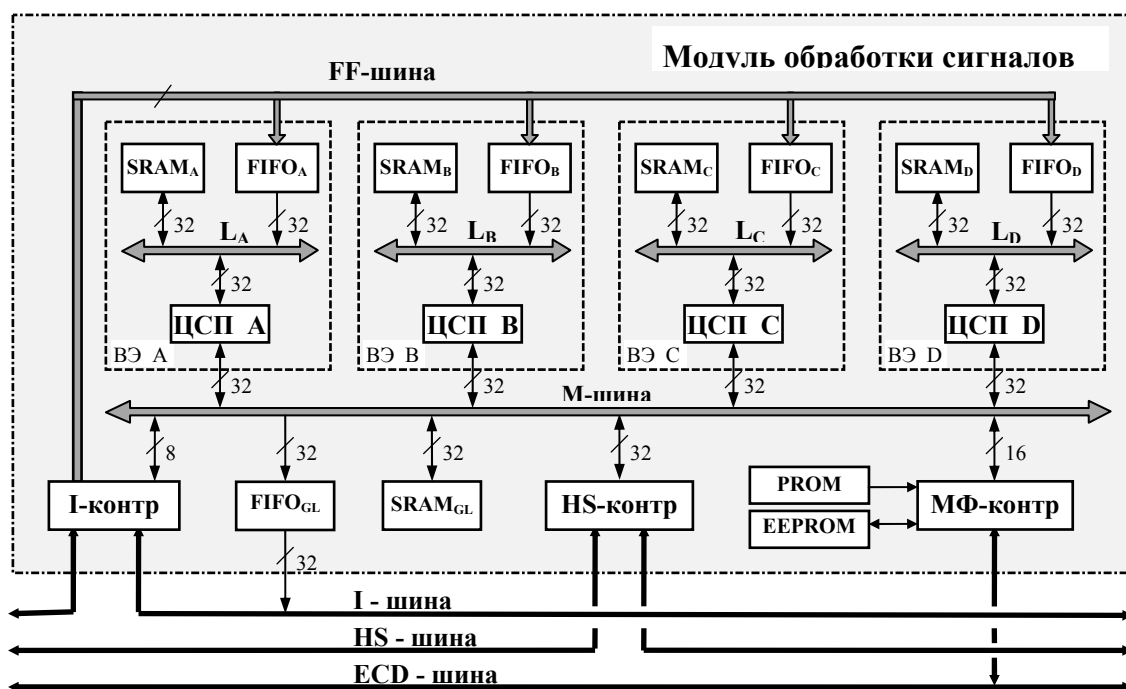


Рис. 5 Структурная схема МОС на базе ЦСП 1В577

4) для согласования пропускной способности линий связи и вычислительных возможностей элементов при обработке сигналов в реальном масштабе времени в линии связи введены функция торможения за счет промежуточной буферизации информации в двухпортовой памяти типа FIFO.

Характеристики внутренних шин МОС следующие.

а) Глобальная М-шина модуля обработки сигналов представляет собой 32-разрядную асинхронную общую шину сигнальных процессоров 1B577. Все ЦСП имеют одинаковый приоритет на шине и при наличии одновременных запросов, получают шину последовательно, под управлением специального арбитра. Контроллер HS-шины всегда имеет наивысший приоритет и получает М-шину вне очереди. При отсутствии запросов на шину со стороны других источников, управление шиной остается за текущим ведущим процессором. Кроме того, процессоры имеют возможность сохранять шину за собой, блокируя арбитраж.

б) Локальная L-шина ЦСП 1B577 является асинхронной 32-разрядной шиной.

в) FF-шина предназначена для записи в локальные FIFO вычислительных элементов ВЭ\_A ... ВЭ\_D данных, поступающих в модуль обработки сигналов по I-шине. Шина синхронная и работает под управлением контроллера I-шины.

При конкретизации структурной схемы МБД В (третий подраздел главы 4) обеспечена возможность программной коммутации потоков данных.

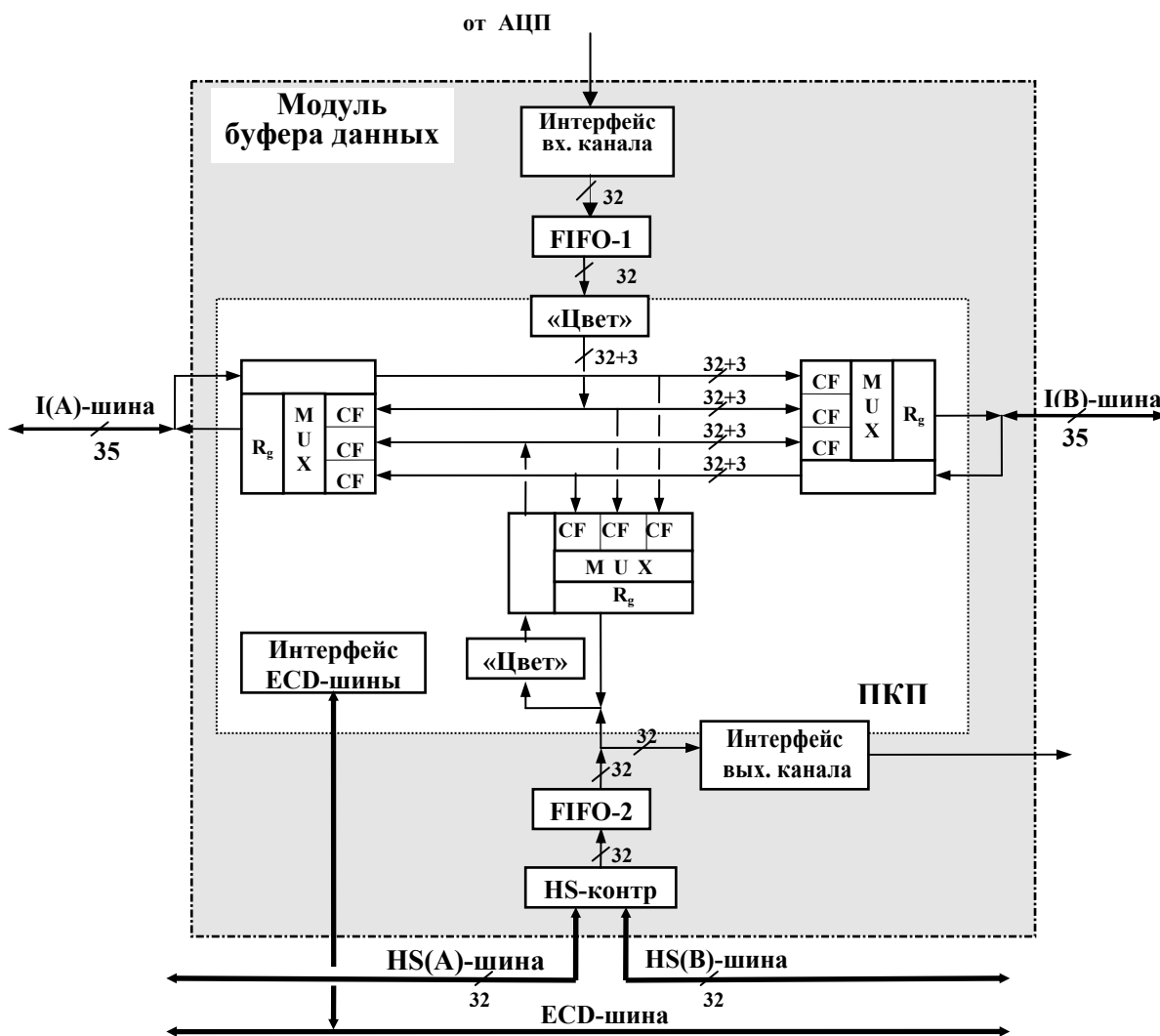


Рис. 6 Структурная схема МБД СЦОС ОМА

Основные результаты конкретизации структурной схемы модуля буфера данных СЦОС ОМА, приведенной на рис. 6, заключаются в следующем.

МБД содержит функциональные устройства:

- входной интерфейс;
- буферную память FIFO-1 на входе от АЦП;
- программируемый коммутатор потоков данных (ПКП);
- буферную память FIFO-2 на входе от HS-шины;
- контроллер HS-шины (HS-контр).

Буферная память FIFO-1 наряду с буферной памятью входных данных в модулях МОС предназначена для обеспечения режима работы СЦОС в реальном масштабе времени, когда накопление данных осуществляется одновременно с процессом обработки ранее полученной информации.

Буферная память FIFO-2 располагается между контроллером HS-шины и программируемым коммутатором потоков и позволяет передавать информацию с HS-шины на I-шину (через ПКП), а также с HS-шины и I-шины в интерфейс выходного канала.

Как опция, в модуле предусмотрен интерфейс внешнего выходного канала для вывода данных из ППС внешним потребителям.

В четвертом подразделе приведены материалы по конкретизации принципов функционирования (структурной схемы) многопроцессорной СЦОС, использующей базовые модули на ЦСП 1В577.

Конкретизированная структурная схема СЦОС, использующая базовые модули на ЦСП 1В577, приведена на рис. 7. Следует отметить, что рассматриваемый пример – условен и не привязан к конкретному изделию.

В пятом подразделе приведены материалы по СЦВМ «Багет-х5» и ЭВМ «Прибор 16» подтверждающие открытость и масштабируемость архитектуры, а также поддержку ею реконфигурируемости систем без конструктивных доработок.

В настоящее время СЦВМ «Багет-55», ЭВМ «Багет-25» и ЭВМ «Прибор 16» являются базовыми изделиями для построения современных СЦОС изделий ВТ. Разработка этих машин осуществлялась под непосредственным руководством автора диссертации.

На базе синтезированной архитектуры создан унифицированный ряд специализированных вычислительных машин, используемых в изделиях ВТ МО РФ. Типовая продолжительность выполнения ОКР с разработкой комплекта рабочей конструкторской документации конкретного исполнения СЦВМ составляет один - полтора года. При этом средняя продолжительность ОКР по созданию СЦОС сократилась в 3 – 5 раз по сравнению с ранее существовавшей практикой разработки специализированной СЦОС для конкретного изделия ВТ.

Таким образом, можно считать, что исходная постановка задачи по синтезу архитектуры СЦОС выполнена, поставленная цель диссертации – достигнута.

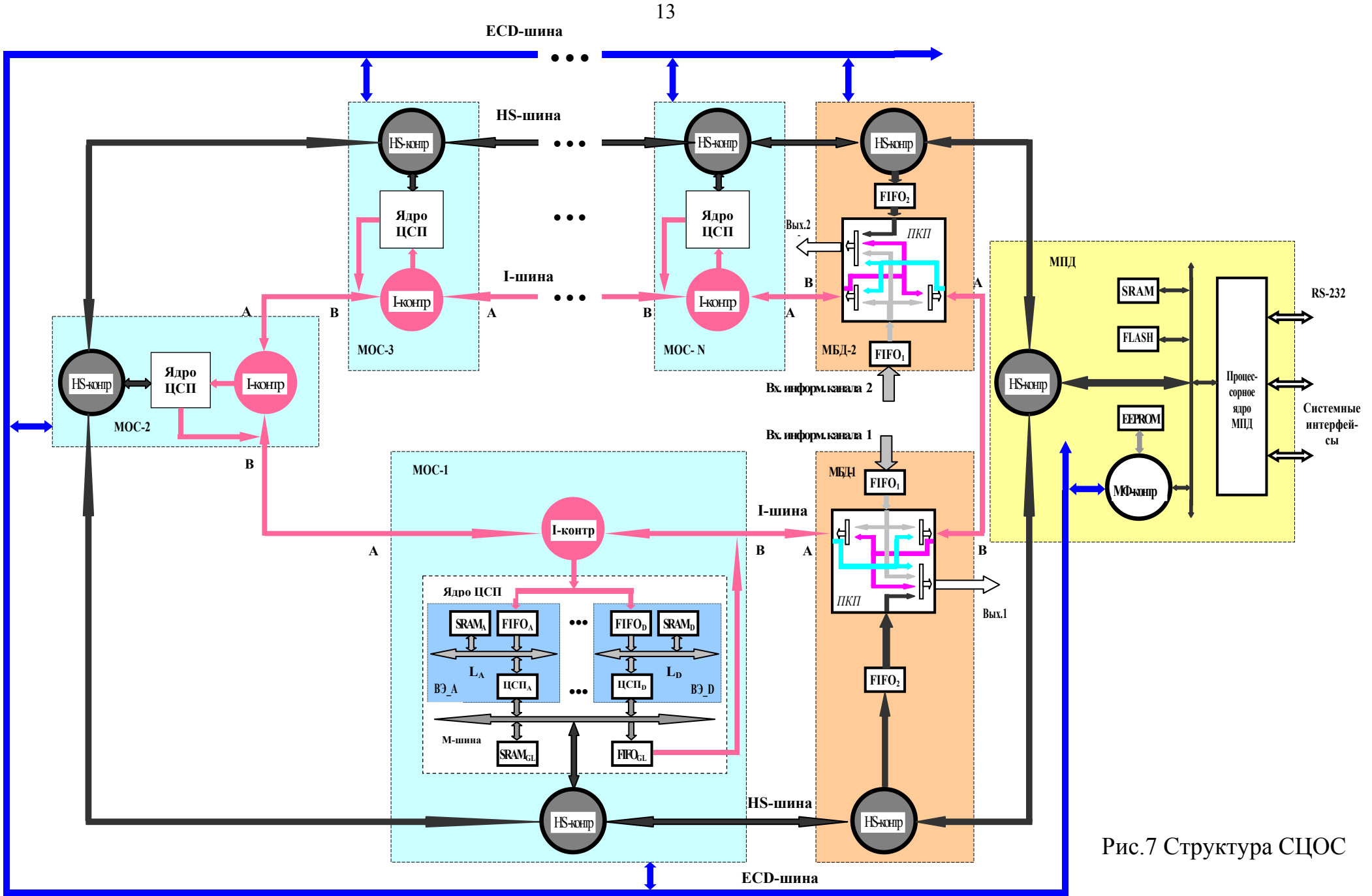


Рис.7 Структура СЦОС

В таблице приведены значения пиковой производительности СЦОС в составе исполнений СЦВМ «Багет-х5» при построении СЦОС на базе ЦСП 1В577.

Пиковая производительность СЦОС СЦВМ «Багет-х5»

Характеристики ЦСП 1В577 и МОС, используемых в СЦВМ	Пиковая производительность, МФлопс			Год реали- зации
	«Багет-55-04.хх» (4 МОС)	«Багет-55-04.хх» (7 МОС)	«Багет-25-хх» (16 МОС)	
ЦСП 1В577 с тактовой частотой 40 МГц, МОС-4	960	1 680	3 840	2000
ЦСП 1В577 с тактовой частотой 50 МГц, МОС-4	1200	2 100	4 800	2004
ЦСП 1В577 с тактовой частотой 50 МГц, МОС-8	2400	4 200	9 600	2005

СЦВМ «Багет-х5» в настоящее время применены в современных изделиях ВТ, разработанных или разрабатываемых в ряде организаций РФ, в том числе – в ОАО «НИИ Приборостроения им. В. В Тихомирова»; ФГУП «Нижегородский научно-исследовательский институт радиотехники»; ФГУП «ЦНИИ «Морфизприбор». ЭВМ «Прибор 16» заложена в изделия ФГУП «ЦНИИ «Морфизприбор».

Базовые принципы синтезированной архитектуры положены в основу нового поколения СЦВМ типа «Соло-хх», разрабатываемых в настоящее время для перспективных изделий ВТ.

В шестом подразделе приведены сравнительные характеристик СЦВМ «Багет-55» и зарубежных образцов, решающих аналогичные задачи в современных БРЛС ЛА.

Исходя из технических характеристик СЦОС СЦВМ «Багет-55-04.хх», применяемой в БРЛС отечественных ЛА, удельные показатели аппаратуры СЦОС отечественных и зарубежных образцов БРЛС ЛА имеют следующие значения:

- по удельному быстродействию – порядка  $112 \times 10^6$  оп/с  $\text{дм}^3$  для СЦВМ «Багет-55-04.хх», что превышает соответствующую характеристику интегрированного процессора СР, предназначенного для применения в ЛА пятого поколения F-22 (США), удельное быстродействие которого приближенно равно  $69 \times 10^6$  оп/с  $\text{дм}^3$ ;
- по удельному энергопотреблению – порядка  $14 \times 10^9$  оп/с КВт для СЦВМ «Багет-55-04.хх», что превышает соответствующую характеристику процессора СР, удельное энергопотребление которого приближенно равно  $3,68 \times 10^9$  оп/с КВт.

**В заключении** приведены основные результаты работы.

Итоговым результатом работы является синтезированная архитектура много-процессорной СЦОС, оптимизированная под задачи изделий ВТ и характеризующаяся следующими особенностями:

- применимостью для построения СЦОС в гидроакустике, радиолокации и др.;
- использованием массивов параллелизма;
- открытостью;
- использованием программируемого ЦСП;
- обработкой сигналов в реальном масштабе времени;
- предсказуемостью временной диаграммы;



- представлением обрабатываемых данных в 32-разрядном формате с плавающей точкой;
- многошинной структурой межмодульных связей с функциональным разделением шин;
- использованием потокового принципа представления информации при многомерной структуре потока и аппаратной поддержке распределения данных;
- организацией связи между соседними модулями системы по принципу «точка-точка», обеспечившей максимально возможную для данного уровня технологии пропускную способность шин;
- модульным принципом построения аппаратуры и прикладного ПО;
- сокращением номенклатуры базовых модулей до трех типов;
- широким диапазоном масштабируемости: от 4-х до 640 процессоров в реализованных системах;
- оригинальным механизмом синхронизации на основе аппарата «событий», обеспечивающим глобальное профилирование вычислительного процесса в многопроцессорной СЦОС;

Архитектура стала базисом для построения унифицированных рядов СЦВМ «Багет-55», «Багет-25» и «Прибор-16», применяемых как в разрабатываемых, так и в принятых на вооружение изделиях ВТ.

Базовые принципы синтезированной архитектуры положены в основу нового поколения СЦВМ типа «Соло-xx», разрабатываемых в настоящее время для перспективных изделий ВТ.

### **ПУБЛИКАЦИИ ПО ТЕМЕ ДИССЕРТАЦИИ**

1. Бобков С.Г., Канцеров В.А., Першин А.С. и др. Система фильтрации информации с вершинного детектора на основе дрейфовых камер // ИФВЭ 83-84 ОНФ г. Серпухов, 1983. 13 с. Разработан процессор предварительной фильтрации.
2. Бобков С.Г., Канцеров В.А., Першин А.С. Электронная система поиска частиц с временем жизни 1.0,1 пс // Приборы и техника эксперимента. №1. 1986. С. 59-63. Структурная схема и архитектура процессора.
3. Канцеров В.А., Першин А.С. VME – Магистраль нового поколения // Микропроцессорные средства и системы. 1987. №5. С. 47.
4. Канцеров В.А., Першин А.С. и др. Программируемый генератор сигналов произвольной формы // Приборы и техника эксперимента. №3. 1987. С. 93-96. Принцип функционирования и блок схема.
5. Першин А.С. Программируемые процессоры сигналов // М: РАН. Научный Совет по комплексной проблеме «Кибернетика». 1996. 13 с.
6. Бетелин В.Б., Кольцова А.А., Першин А.С. и др. Архитектура цифровых процессоров обработки сигналов // М: РАН. Научный Совет по комплексной проблеме «Кибернетика». 1993. 20 с. Предложена общая архитектура и подход к распараллеливанию алгоритмов обработки сигналов.
7. Бобков С.Г., Демьянов А.В., Першин А.С. и др. Интерфейсные схемы шины VME для рабочей станции САПР. Вопросы кибернетики / Под ред. Иванникова В.П. // М: РАН. Научный Совет по комплексной проблеме «Кибернетика». 1989. С. 100-106. Осуществлен анализ магистральной шины.
8. Першин А.С., Шадский А.Г. и др. Назначение архитектур PCI Express, RapidIO, SpaceWire и основные направления поддержки их развития // Информационные технологии и телекоммуникации в образовании и науке: Межвузовский сборник

- научных трудов. Рязань: РГРТА, 2006. С. 71-87. Осуществлен анализ особенностей архитектуры СЦОС, использующей общие шины.
9. Першин А.С., Шадский А.Г. и др. Сравнительные характеристики архитектур PCI Express, RapidIO, SpaceWire // Информационные технологии и телекоммуникации в образовании и науке: Межвузовский сборник научных трудов. Рязань: РГРТА, 2006. С. 88-104. Осуществлен анализ особенностей архитектуры СЦОС, использующей общие шины.
  10. Першин А. С., Андреев Н. А. Вычислительные системы с архитектурой единой коммутируемой вычислительной среды для построения перспективных радиолокационных комплексов // Сборник докладов XVIII научно-технической конференции. Жуковский: Изд. ОАО «НИИ приборостроения им. В. В. Тихомирова», 2006. С. 272-284. Предложена архитектура ЕКВС, обладающая преемственностью решений по назначению и задачам, решаемым информационными шинами многошинной структуры ЕКВС, и синхронизации вычислений с синтезированной в диссертации универсальной архитектурой СЦОС.
  11. Корячко В.П., Першин А.С. Модель определения эффективной загрузки сверхбыстрой памяти вычислительной системы // Рязань: Вестник РГРТУ. Вып. 19, 2006. Предложен метод определения минимально необходимого количества регистров ЦСП, обеспечивающих реализацию алгоритма без обращения к накристалльной памяти процессора.
  12. Першин А.С., Скворцов С. В. Распределение регистровой памяти в системах параллельной обработки данных // Системы управления и информационные технологии. Вып. 1(27). 2007. С. 65-69. Предложен формальный алгоритм планирования распределения регистров в системе из нескольких взаимодействующих процессоров.
  13. Першин А.С., Шадский А.Г. Устройство приоритетного прерывания // Авторское свидетельство № 1793440 от 30.05.1990.
  14. Бетелин В.Б., Капустин Г.И., Першин А.С. и др. Цифровой вычислительный комплекс для обработки сигналов в гидроакустических системах // Патент РФ № 2207620 от 03.11.2001.

**Першин Андрей Сергеевич**

**СИНТЕЗ ОТКРЫТОЙ МАСШТАБИРУЕМОЙ АРХИТЕКТУРЫ  
МНОГОПРОЦЕССОРНОЙ СИСТЕМЫ  
ЦИФРОВОЙ ОБРАБОТКИ СИГНАЛОВ**

**А в т о р е ф е р а т**

диссертации на соискание ученой степени  
кандидата технических наук

Подписано в печать 16.04.2007. Формат бумаги 60×80 1/16.  
Бумага офисная. Печать трафаретная. Усл. печ. л. 1,0.  
Уч.-изд. л. 1,0. Тираж 100 экз.

Редакционно-издательский центр  
Рязанского государственного радиотехнического университета.  
390005, г. Рязань, ул. Гагарина, 59/1.