

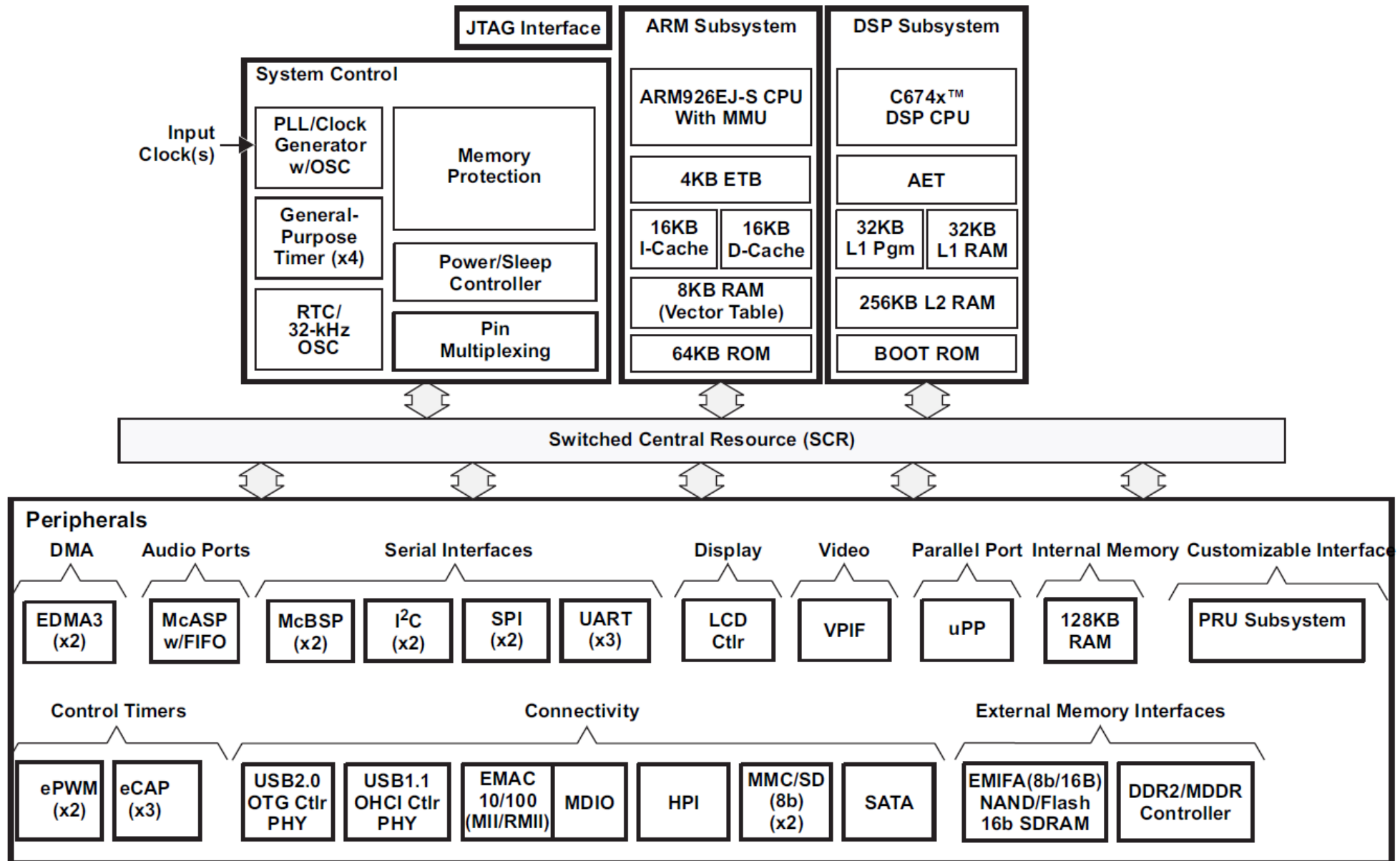


ЦСП TMS320C67x

Работа с периферией



ЦСП TMS320C67x: работа с периферией





ЦСП TMS320C67x: работа с периферией

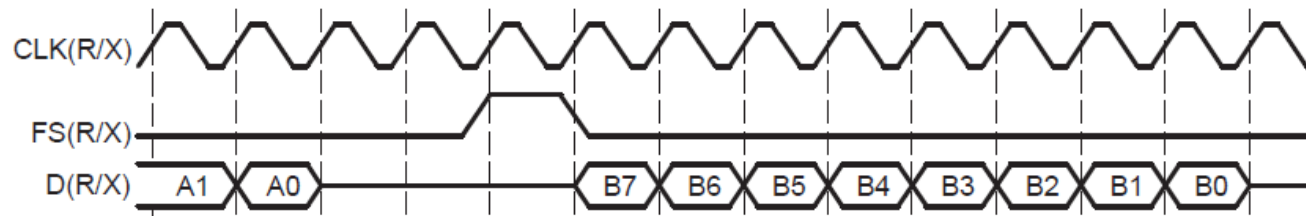
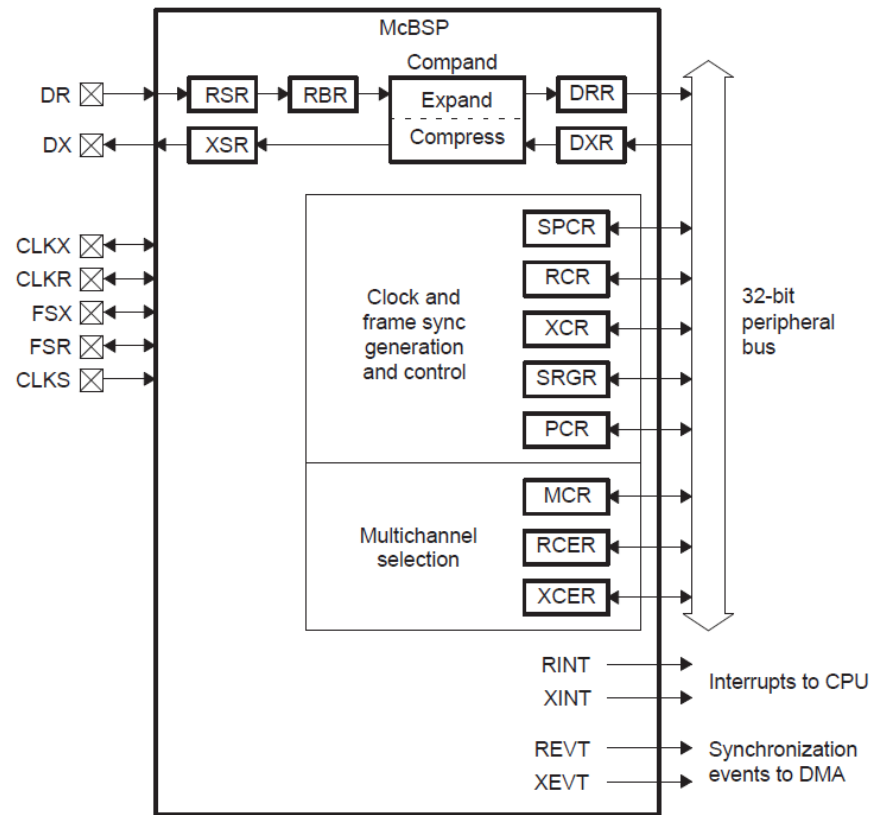
Периферия представляет собой специализированные аппаратные ресурсы, расположенные на кристалле ЦСП и предназначенные для организации взаимодействия микросхемы ЦСП с внешними устройствами.

Состав периферийных устройств часто определяет его выбор для применения в тех или иных системах.



ЦСП TMS320C67x: работа с периферией

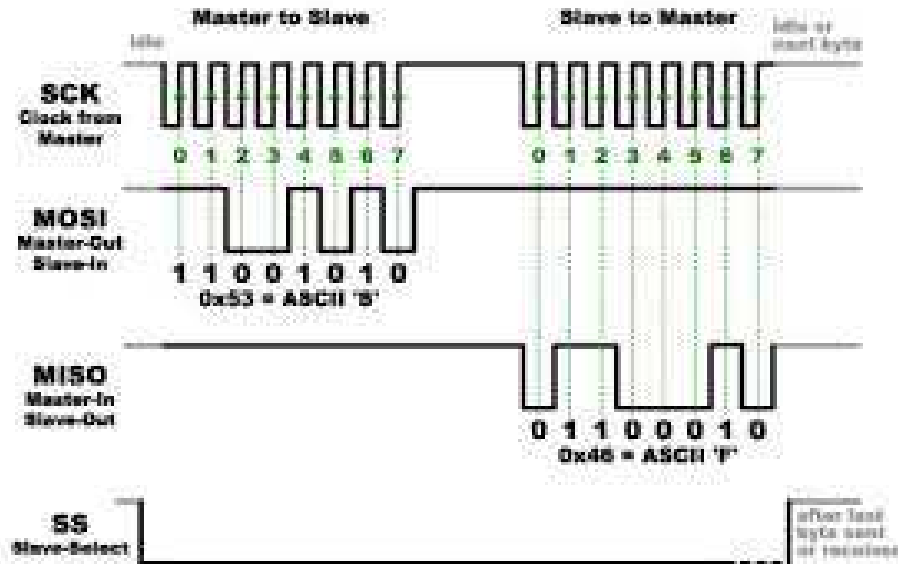
Синхронный последовательный порт McBSP





ЦСП TMS320C67x: работа с периферией

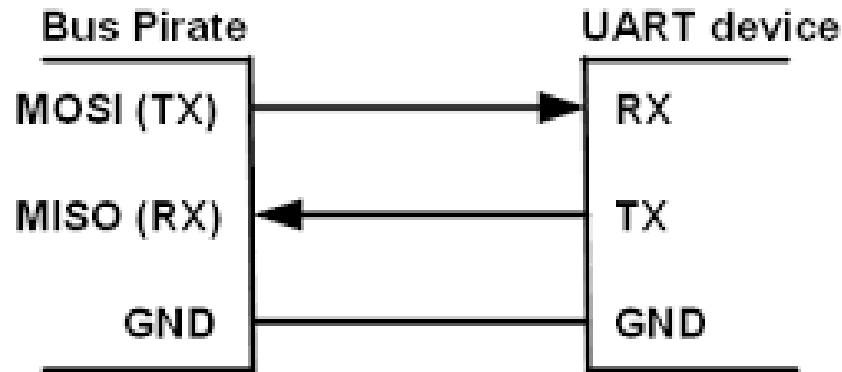
Синхронный последовательный порт SPI



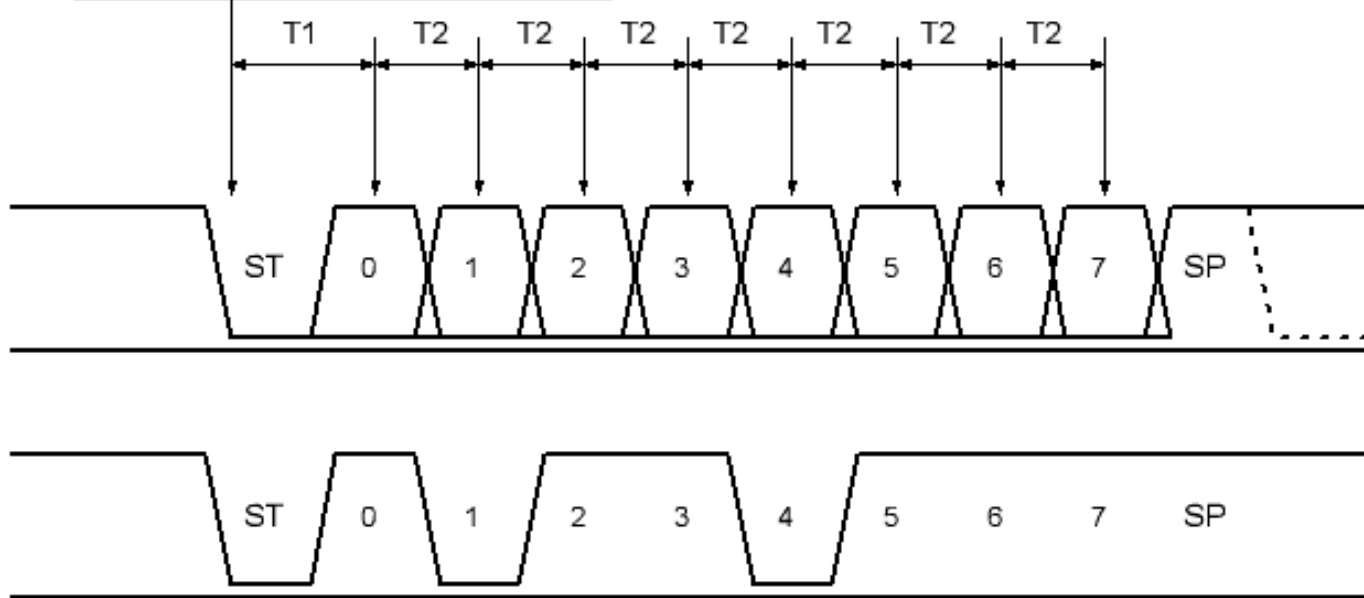


ЦСТ TMS320C67x: работа с периферией

Асинхронный последовательный порт UART



Тут мы узнали что надо принимать

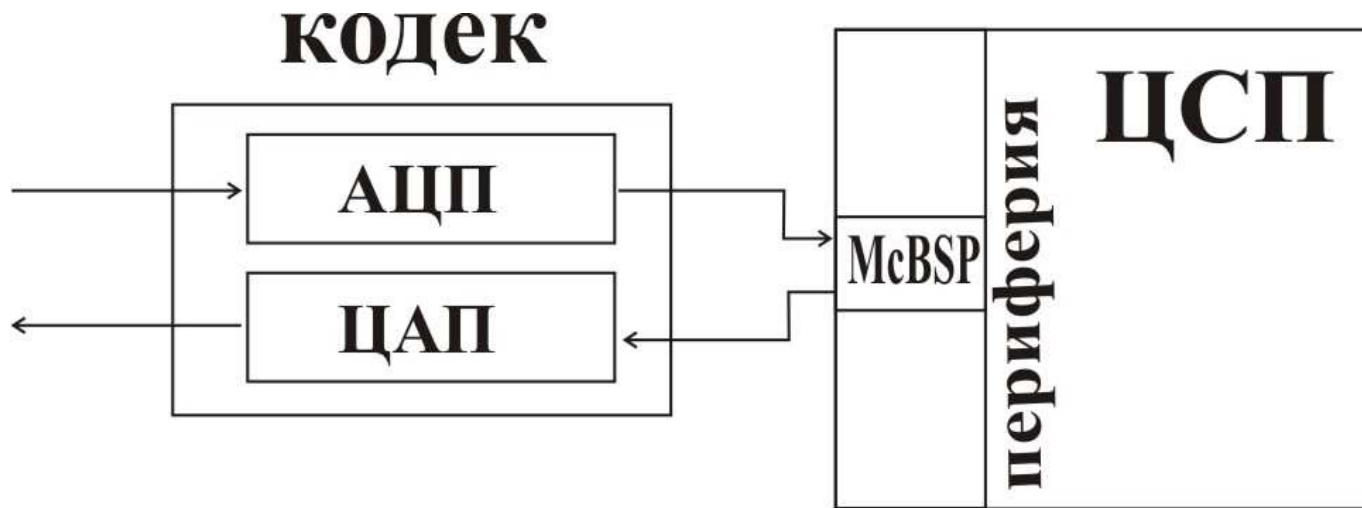


Передача байта 11101101



ЦСП TMS320C67x: работа с периферией

Рассмотрим работу с периферией на примере организации следующей системы:





ЦСП TMS320C67x: работа с периферией

Требуются:

конфигурация кодека

конфигурация McBSP

конфигурация прерываний



ЦСП TMS320C67x: работа с периферией

Конфигурация кодека

выполняется с помощью специальной типовой программы



ЦСП ТМ5320С67х: работа с периферией

Конфигурация McBSP

Table 11-1. McBSP Registers for C620x/C670x DSP

Acronym	Register Name	McBSPs on Device (Hex Byte Address)			Section
		McBSP 0	McBSP 1	McBSP 2 ⁽¹⁾	
RBR ⁽²⁾	Receive buffer register	-	-	-	-
RSR ⁽²⁾	Receive shift register	-	-	-	-
XSR ⁽²⁾	Transmit shift register	-	-	-	-
DRR ⁽³⁾	Data receive register	018C 0000	0190 0000	01A4 0000	Section 11.1
DXR	Data transmit register	018C 0004	0190 0004	01A4 0004	Section 11.2
SPCR	Serial port control register	018C 0008	0190 0008	01A4 0008	Section 11.3
RCR	Receive control register	018C 000C	0190 000C	01A4 000C	Section 11.4
XCR	Transmit control register	018C 0010	0190 0010	01A4 0010	Section 11.5
SRGR	Sample rate generator register	018C 0014	0190 0014	01A4 0014	Section 11.6
MCR	Multichannel control register	018C 0018	0190 0018	01A4 0018	Section 11.7
RCER	Receive channel enable register	018C 001C	0190 001C	01A4 001C	Section 11.8
XCER	Transmit channel enable register	018C 0020	0190 0020	01A4 0020	Section 11.9
PCR	Pin control register	018C 0024	0190 0024	01A4 0024	Section 11.12

(1) Available only on C6202(B) DSP and C6203(B) DSP.

(2) The RBR, RSR, and XSR are not directly accessible via the CPU or the DMA/EDMA controller.

(3) The CPU and DMA/EDMA controller can only read this register; they cannot write to it.



ЦСП TMS320C67x: работа с периферией

Прерывания

Встраиваемые системы должны реагировать на внешние (и внутренние) события. Такие события могут прерывать текущие процессы с возможностью возврата к незавершенным процедурам.

8 регистров, обслуживающих прерывания.

Событие выставляет флаг в регистре флагов прерывания (IFR). Если соответствующее прерывание настроено и включено, то процессор переходит к выполнению программы обработки прерывания.

Типы прерываний:

- сброс (reset);
- маскируемые (mask);
- немаскируемые (NMI);
- исключения (exception).



ЦСП TMS320C67x: работа с периферией

Priority	Interrupt Name	Interrupt Type
Highest	Reset	Reset
	NMI	Nonmaskable
	INT4	Maskable
	INT5	Maskable
	INT6	Maskable
	INT7	Maskable
	INT8	Maskable
	INT9	Maskable
	INT10	Maskable
	INT11	Maskable
	INT12	Maskable
	INT13	Maskable
	INT14	Maskable
	Lowest	INT15

Reset и NMI, и некоторые из INT4-15 заведены на ножки микросхемы. Некоторые связаны с конкретной периферией. Некоторые могут управляться программно или не использоваться.



ЦСП TMS320C67x: работа с периферией

Прерывания

Reset — наивысший приоритет. Подпрограмма обработки должна начинаться с конкретного адреса, заданного для каждого конкретного процессора.

NMI — второе по приоритету прерывание. Используется для защиты от аппаратных сбоев (например, пониженного напряжения питания). Если NMI отключено, прерывания INT4-INT15 обслуживаться не будут.

Маскируемые прерывания — имеют более низкий приоритет. Чтобы прерывание сработало необходимо:

1. В регистре CSR бит глобального разрешения прерываний (GIE) должен быть установлен в 1.
2. В регистре IER бит разрешения немаскируемого прерывания NMIE должен быть установлен в 1.
3. В регистре IER бит этого прерывания должен быть установлен в 1.
4. Должно произойти соответствующее событие, устанавливающее флаг данного прерывания в регистре IFR и при этом в этом регистре не должно быть флагов более высокоприоритетных прерываний.



ЦСП TMS320C67x: работа с периферией

Обработка прерывания:

процессор обращается к таблице векторов прерываний – Interrupt Service Table (IST).

В этой таблице каждому прерыванию ставится в соответствие пакет команд (один пакет выборки — 8 32-разрядных команд; или до 14 упакованных команд с заголовком).



ЦСП TMS320C67x: работа с периферией

Figure 5-1. Interrupt Service Table

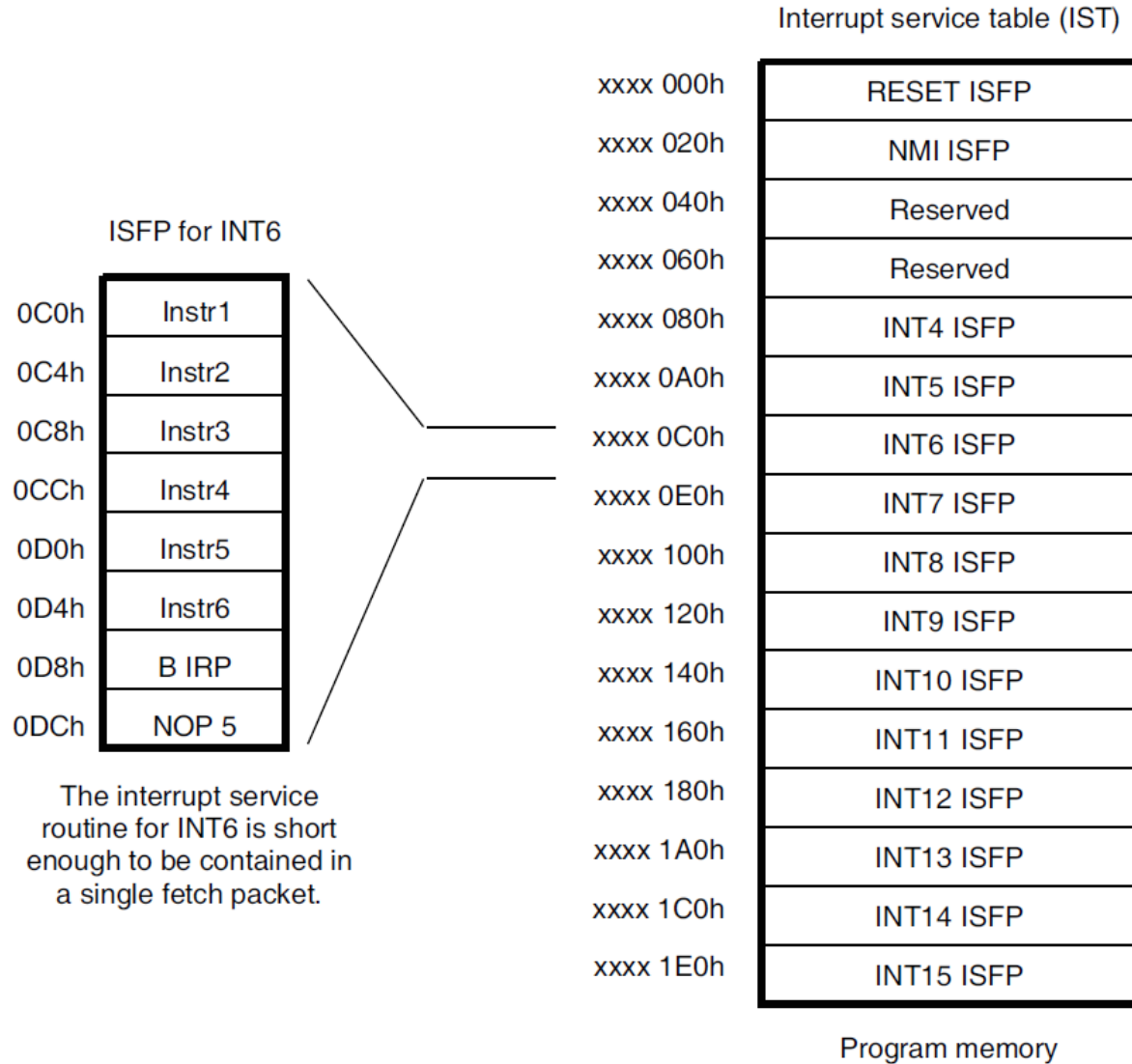
xxxx 000h	RESET ISFP
xxxx 020h	NMI ISFP
xxxx 040h	Reserved
xxxx 060h	Reserved
xxxx 080h	INT4 ISFP
xxxx 0A0h	INT5 ISFP
xxxx 0C0h	INT6 ISFP
xxxx 0E0h	INT7 ISFP
xxxx 100h	INT8 ISFP
xxxx 120h	INT9 ISFP
xxxx 140h	INT10 ISFP
xxxx 160h	INT11 ISFP
xxxx 180h	INT12 ISFP
xxxx 1A0h	INT13 ISFP
xxxx 1C0h	INT14 ISFP
xxxx 1E0h	INT15 ISFP

Program memory



ЦСП ТМ5320С67х: работа с периферией

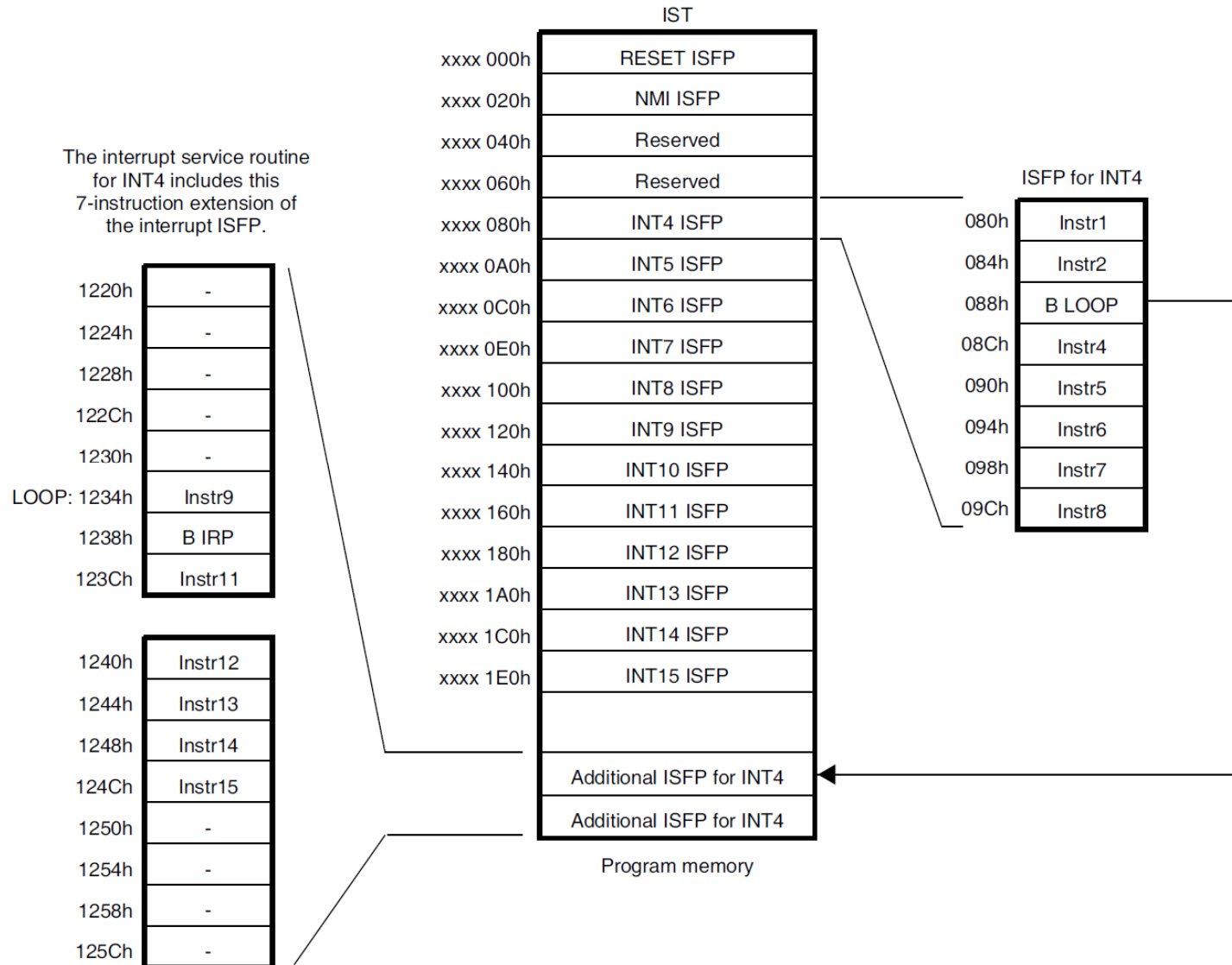
Figure 5-2. Interrupt Service Fetch Packet





ЦСП ТМ5320С67х: работа с периферией

Figure 5-3. Interrupt Service Table With Branch to Additional Interrupt Service Code Located Outside the IST





ЦСП ТМ5320С67х: работа с периферией

Table 6-2 **Interrupt Control Registers**

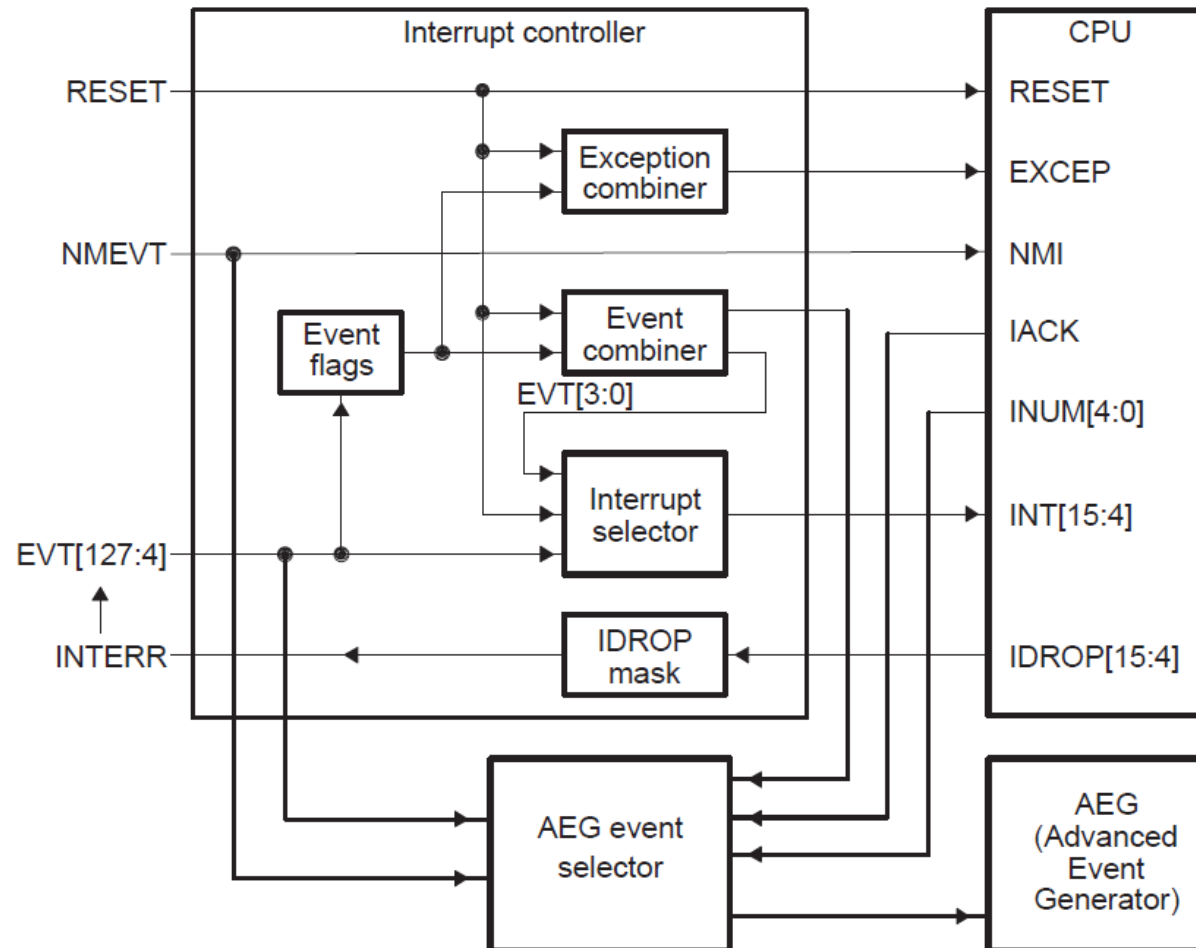
Acronym	Register Name	Description
CSR	Control status register	Allows you to globally set or disable interrupts
ICR	Interrupt clear register	Allows you to clear flags in the IFR manually
IER	Interrupt enable register	Allows you to enable interrupts
IFR	Interrupt flag register	Shows the status of interrupts
IRP	Interrupt return pointer register	Contains the return address used on return from a maskable interrupt. This return is accomplished via the B IRP instruction.
ISR	Interrupt set register	Allows you to set flags in the IFR manually
ISTP	Interrupt service table pointer register	Pointer to the beginning of the interrupt service table
ITSR	Interrupt task state register	Interrupted (non-NMI) machine state.
NRP	Nonmaskable interrupt return pointer register	Contains the return address used on return from a nonmaskable interrupt. This return is accomplished via the B NRP instruction.
NTSR	Nonmaskable interrupt task state register	Interrupted (NMI) machine state.
TSR	Task state register	Allows you to globally set or disable interrupts. Contains status of current machine state.



ЦСП TMS320C67x: работа с периферией

128 общесистемных событий могут быть заведены на линии сигналов прерываний

Figure 7-1. C674x Megamodule Interrupt Controller Block Diagram

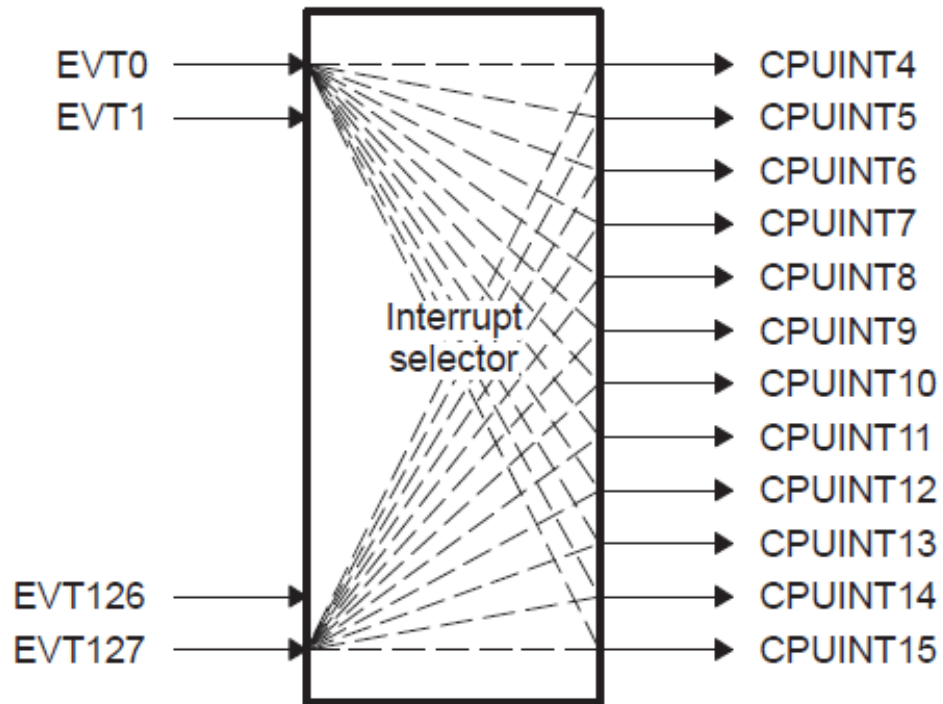




ЦСП TMS320C67x: работа с периферией

128 общесистемных событий могут быть заведены на линии сигналов прерываний

Figure 7-8. Interrupt Selector Block Diagram





ЦСП TMS320C67x: работа с периферией

128 общесистемных событий могут быть заведены на линии сигналов прерываний

Figure 7-35. Interrupt Mux Register 1 (INTMUX1)

31	30	24	23	22	16
Reserved	INTSEL7	Reserved	INTSEL6		
R-0	R/W-7h	R-0	R/W-6h		
15	14	8	7	6	0
Reserved	INTSEL5	Reserved	INTSEL4		
R-0	R/W-5h	R-0	R/W-4h		

LEGEND: R/W = Read/Write; R = Read only; -n = value after reset

Table 7-9. Interrupt Mux Registers (INTMUX_n) Field Descriptions

Field	Value	Description
INTSEL _{nn}	0-7Fh	Contains the number of the event that maps to CPUINT _{nn} .



ЦСП ТМ5320С67х: работа с периферией

128 общесистемных событий:

Table 6-6. C6748 DSP Interrupts (continued)

EVT#	Interrupt Name	Source
35	PRU_EVTOUT3	PRUSS Interrupt
36	IIC0_INT	I2C0
37	SPI0_INT	SPI0
38	UART0_INT	UART0
39	PRU_EVTOUT5	PRUSS Interrupt
40	T64P1_TINT12	Timer64P1 Interrupt 12
41	GPIO_B1INT	GPIO Bank 1 Interrupt
42	IIC1_INT	I2C1
43	SPI1_INT	SPI1
44	PRU_EVTOUT6	PRUSS Interrupt
45	ECAP0	ECAP0
46	UART_INT1	UART1
47	ECAP1	ECAP1
48	T64P1_TINT34	Timer64P1 Interrupt 34
49	GPIO_B2INT	GPIO Bank 2 Interrupt
50	PRU_EVTOUT7	PRUSS Interrupt
51	ECAP2	ECAP2
52	GPIO_B3INT	GPIO Bank 3 Interrupt
53	MMCS1_INT1	MMCS1 SDIO Interrupt
54	GPIO_B4INT	GPIO Bank 4 Interrupt
55	EMIFA_INT	EMIFA
56	EDMA3_0_CC0_ERRINT	EDMA3_0 Channel Controller 0 Error Interrupt
57	EDMA3_0_TC0_ERRINT	EDMA3_0 Transfer Controller 0 Error Interrupt
58	EDMA3_0_TC1_ERRINT	EDMA3_0 Transfer Controller 1 Error Interrupt
59	GPIO_B5INT	GPIO Bank 5 Interrupt
60	DDR2_MEMERR	DDR2 Memory Error Interrupt
61	MCASP0_INT	McASP0 Combined RX/TX Interrupts
62	GPIO_B6INT	GPIO Bank 6 Interrupt
63	RTC_IRQS	RTC Combined
64	T64P0_TINT34	Timer64P0 Interrupt 34
65	GPIO_B0INT	GPIO Bank 0 Interrupt